

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-205396

(43)Date of publication of application : 30.07.1999

(51)Int.Cl. H04L 25/40
H04L 29/02
H04L 25/03

(21)Application number : 10-013361

(71)Applicant : NIPPON COLUMBIA CO LTD

(22)Date of filing : 07.01.1998

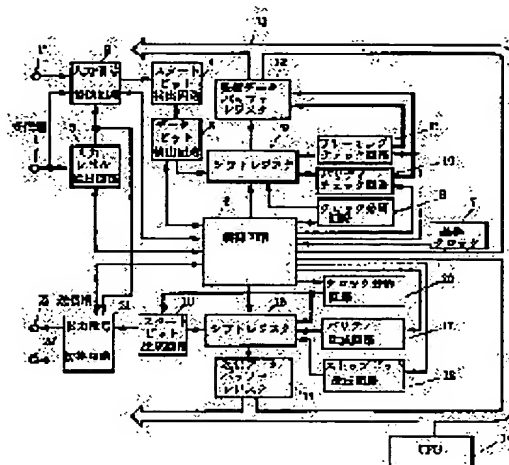
(72)Inventor : YOSHIDA MASAICHI

(54) SERIAL COMMUNICATION EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To automate reception between different systems by switching input and output signal circuits on a receiver side based on the signal level of input signals so that the input and output signal circuits are matched with the signal level on a transmitter side.

SOLUTION: An input signal switching circuit 2 of a receiver switches a circuit so that the circuit is matched with a balance or unbalance circuit based on a transmission signal level detected in an input level detection circuit 3 and matches the transmission signal level with the signal processing level of the receiver. Input signals received in the input signal switching circuit 2 of the receiver are matched with the communication system of the receiver and outputted to a start bit detection circuit 4, the start bit detection circuit 4 detects the rise of a start bit and then outputs input signals to a data bit detection circuit 5, clock synchronization is performed in a control circuit 6 and data are sampled and read to a shift register 9. That is, the input and output signal circuits on the receiver side are switched based on a detected signal level so as to be matched with the signal level on the transmitter side.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-205396

(43) 公開日 平成11年(1999)7月30日

(51) Int. Cl. ⁶

識別記号

F I

H 0 4 L 25/40
29/02
25/03

H 0 4 L 25/40 E
25/03 D
13/00 3 0 1 Z

審査請求 未請求 請求項の数 2 F D (全 5 頁)

(21) 出願番号 特願平10-13361

(22) 出願日 平成10年(1998)1月7日

(71) 出願人 000004167

日本コロムビア株式会社
東京都港区赤坂4丁目14番14号

(72) 発明者 吉田 政市

神奈川県川崎市川崎区港町5番1号 日本コ
ロムビア株式会社川崎工場内

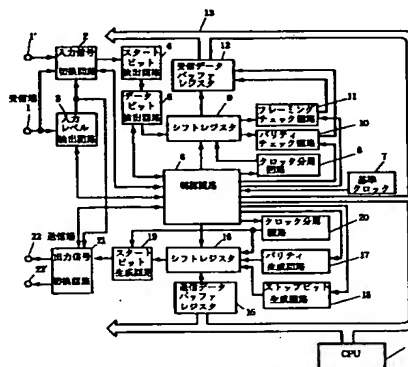
(74) 代理人 弁理士 林 寛

(54) 【発明の名称】 シリアル通信装置

(57) 【要約】

【課題】 異なる通信方式で送信装置側からデータが送信されるとき、送信されたデータの信号レベルを検出し入力される信号のレベル及び方式を受信装置の信号のレベル及び方式に切り換えて受信する。

【解決手段】 調歩同期方式のシリアル通信装置において、送信された入力信号のスタートビットを検出し、スタートビットの信号レベルを検出するレベル検出手段と、レベル検出手段で検出された信号のレベルに基づき、入力及び出力回路を異なる方式の平衡回路又は不平衡回路に切り換える切変手段を具備し、異なる方式で送信された信号のレベル及び方式を受信装置に合わせ自動切り換えて受信するので接続操作を省くことができる。



【特許請求の範囲】

【請求項1】 調歩同期方式のシリアル通信装置において、送信装置側から送信された入力信号の信号レベルを検出するレベル検出手段と、

前記レベル検出手段で検出された信号レベルに基づき受信装置側の入力及び出力信号回路を送信装置側の信号レベルに合わせるように切り換える切変手段を、具備することを特徴とするシリアル通信装置。

【請求項2】 調歩同期方式のシリアル通信装置において、

送信装置側から送信された入力信号のスタートビットを検出する手段と、

スタートビットの信号レベルを検出するレベル検出手段と、

受信装置側の入力及び出力回路を送信装置側に合わせ平衡回路又は不平衡回路に切り換える切変手段と、

前記レベル検出手段で検出された信号のレベルに基づき前記切変手段を制御する制御手段を、

具備することを特徴とするシリアル通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、調歩同期方式のシリアル通信で異なる信号レベルの入力がされたとき信号レベルを検出し回路を切り換え通信するシリアル通信装置に関するものである。

【0002】

【従来の技術】従来のシリアル通信装置には、不平衡伝送によるシリアル通信をする方式（RS-232-C（登録商標））と、平衡伝送方式によるシリアル通信をする方式（RS-422（登録商標））等がある。これら通信装置は、同一通信方式間での接続は決められた専用のコネクタで接続され、異なる通信方式間の通信は手動操作で切り換えスイッチを切り換え接続した。

【0003】

【発明が解決しようとする課題】しかし、異なる通信方式の送信装置側から受信装置側へ通信された場合、データの信号レベル及び回路方式が異なり通信ができないので、信号レベルを送信装置に合わせる必要があり、受信装置では交信を開始する毎に信号レベルを送信される方式が平衡伝送方式か不平衡伝送方式かを判別し、信号レベル及び回路方式に合う規定されたコネクタに差し替え、又は、切り換えスイッチを用いて手動で回路を切換えて接続しなければならなかった。

【0004】そこで、本発明の目的は、送信装置から送信されるデータの信号レベルを受信装置側で検出し、送信されるデータの信号レベルに基づき、受信装置側で受信回路及び送信回路を切り換え送信装置間で信号レベルを合わせることで、自動で通信することができるシリアル通信装置を提供することにある。

【0005】

【課題を解決するための手段】本発明は、調歩同期方式のシリアル通信装置において、送信装置側から送信された入力信号の信号レベルを検出するレベル検出手段と、前記レベル検出手段で検出された信号レベルに基づき受信装置側の入力及び出力信号回路を送信装置側の信号レベルに合わせるように切り換える切変手段を、具備するシリアル通信装置である。

【0006】また、本発明は、調歩同期方式のシリアル通信装置において、送信装置側から送信された入力信号のスタートビットを検出する手段と、スタートビットの信号レベルを検出するレベル検出手段と、受信装置側の入力及び出力回路を送信装置側に合わせ平衡回路又は不平衡回路に切り換える切変手段と、前記レベル検出手段で検出された信号のレベルに基づき前記切変手段を制御する制御手段を、具備するシリアル通信装置である。

【0007】

【発明の実施の形態】本発明の一実施例を図面を用いて説明する。図1は、本発明のシリアル通信装置の一実施例を示すブロック図である。本実施例のシリアル通信装置は、何種類かの信号レベルで交信することが可能で、送信装置側から送信されたデータを受信装置側で受信し、受信した信号レベルを検出し、検出したレベルによって送信データの信号レベルに合わせ受信装置の入力回路を切換え、また送信回路を送信装置側の回路方式に合わせて相互に通信が可能となるものである。

【0008】受信装置側から送信装置側への出力を制御回路6からの制御信号で無効にしておき、データの信号レベル不一致による送信装置側及び受信装置側の双方の回路破壊を防止する。受信装置側で受信される入力信号は、平衡伝送方式で信号が入力される場合には受信端1、1'から入力され、不平衡伝送方式で信号が入力される場合には受信端1から入力される。受信端1、1'に入力された信号は、入力信号切換回路2へ入力され、入力信号レベル検出回路3へ受信端1から入力される。平衡伝送方式（RS-422等）による通信をする場合、受信端1'に入力される受信データは、受信端1に入力される受信データが反転した信号である。

【0009】スタートビットはRS-422による通信においては受信信号レベルが約5V以下であり、RS-232-Cによる通信においては受信信号レベルが約8V～12Vと高い信号レベルで送信される。入力レベル検出回路3は、入力された信号のスタートビットの立ち上がった直後のレベルを検出し、検出された信号レベルにより、制御回路6は入力信号切換回路2及び出力信号切換回路21を平衡回路、又は、不平衡回路に切り換えると共に、出力信号切換回路21の出力を有効にするように制御信号を送り送信可能状態にする。

【0010】受信装置の入力信号切換回路2では、入力レベル検出回路3によって検出された送信信号レベルに

基づき平衡、又は、不平衡回路に整合するように回路を切り換え、送信された信号レベルを受信装置の信号の処理レベルに合わせる。受信装置の入力信号切換回路2で受信された入力信号は、受信装置の通信方式に整合され、スタートビット検出回路4へ出力される。スタートビット検出回路4は、スタートビットの立ち上がりを検出した後、入力信号をデータビット検出回路5に出力し、制御回路6によりクロック同期し、シフトレジスタ9へデータを抜き取り読み込む。

【0011】データを抜き取るためのクロックは、基準クロック7より得られるクロックをクロック分周回路8で分周し、制御回路6で送信装置側のクロックに合わせた周期のクロックを生成する。データビット検出回路5で検出したデータをシフトレジスタ9に読み込み、データシフトが完了した時点で、パリティチェック回路10ではデータの誤りのチェックする。

【0012】パリティビットは、データの誤り検出用に付加するものであり、例えばデータ列が11100010(2進数)とすると、偶数パリティの場合1の数が偶数個になるように0データを付加する。

【0013】受信装置では受信したデータの1ビットが外乱などで反転した場合にパリティビットのデータから1の個数が偶数でない場合、パリティチェック回路はデータの誤りを検出して、受信バッファレジスタ12へエラー信号を出力しデータエラー等の処理をする。パリティチェック回路10でチェックした結果誤りがない場合、受信データバッファレジスタ12にデータが正常であると制御信号を送る。つぎに、フレーミングチェック回路11でストップビットを検出し、受信データバッファレジスタ12に制御信号を送る。

【0014】パリティ及びフレーミングチェックした結果、正常に入力された信号のデータは、正常な受信データとして処理されて受信データバッファレジスタ12へ出力される。受信データバッファレジスタ12に記憶された受信データは、内部バス13を通し中央制御部(CPU)14で読みだし、図示せずも表示装置に文字表示等が表示され、ハードディスク等の記録装置にバックアップ記録等の処理がされる。

【0015】一方受信装置側から送信装置側へ受信結果が返信される。この時、受信データバッファレジスタ12に記憶されたパリティチェック及びフレーミングチェックによる正常又は異常を知らせるデータが内部バス13を通し送信データバッファレジスタ15に送出される。送信データバッファレジスタ15に蓄えられた返送データは、制御回路6によりシフトレジスタ16へ読み出され、パリティ生成回路17及びストップビット生成回路18でパリティビット及びストップビットが生成されて返送データに付加される。

【0016】制御回路6により出力許可がされた出力信号切換回路21から送信装置側へ返送出力する信号レベ

ルを、送信装置から受信装置へ送信された信号のレベル及び回路方式に整合するように制御回路6により制御され、スタートビット生成回路19でスタートビットが返送データに付加され、クロック分周回路20で送信装置側から送信されたクロック周期に合わせたクロックで、返送データとして送信端22、22'(送信装置が平衡伝送方式の場合)、又は、22(送信装置が不平衡伝送方式の場合)から返送される。

【0017】送信端22'から送信される信号は、送信先の送信装置が平衡伝送方式(RS-422)の場合の信号で送信端22から出力される返送信号のデータを反転させた信号が出力される。RS-422に基づき送信端22、22'から出力される信号レベルは通常+5V~0Vの信号レベルである。不平衡伝送方式(RS-232-C)により送信端22から送信される場合の送信信号の信号レベルは+15V~-15Vであり、受信装置側で受信したときのスタートビットの信号レベルは約8V以上である。

【0018】図2は、入力レベル検出回路の一例を示すブロック図である。入力レベル検出回路3には、受信データa1(RS-232-Cの場合)又はa2(RS-422の場合で正の方の信号波を示す)をコンパレータ301と信号レベル変換回路302に inputs する。コンパレータ301の比較電圧Aは、RS-422とRS-232-Cによる通信のスタートビットの信号レベルとの間の約6~8Vに抵抗R1、R2の比により制御回路6で制御されて調整し設定される。これにより、送信装置側がRS-232-Cの場合のコンパレータ出力b1は、"H"レベル、RS-422の場合のコンパレータ出力b2は、"L"レベルとなる。このコンパレータ出力bは、Dフリップフロップ304のD端に inputs される。

【0019】また、受信装置側に入力された信号レベルのスレショルドレベルに抵抗R4、R5の比で設定し、信号のデータを検出する。信号レベル変換回路302から出力される出力信号cは、Dフリップフロップ303のD端に inputs され、制御回路6から通常の送信データのクロックdが信号レベル変換回路302の出力信号cよりもタイミングtだけ遅れCK端に inputs される。Dフリップフロップ303により遅らせた信号eがDフリップフロップ304のCK端に inputs され、クロックの立ち上がりで信号bをラッチし、出力fを得る。このラッチした信号fにより入力信号切換回路2及び出力信号切換回路21は図示せずもRS-232-CとRS-422による通信に対応して送信装置側が受信装置側と異なる方式の場合、送信装置側に整合した回路に自動設定される。

【0020】図3は、入力レベル検出回路の各部の信号波形を説明する図である。a-1、a-2は、それぞれ、RS-232-C、RS-422の信号波形である。(a-1、a-2における線Aは6~7Vの比較電

圧レベルを示す)。b-1、b-2は、コンパレータ301で比較したときRS-232-Cの出力信号波形と、RS-422の場合の出力信号波形が0の場合を示す。cは、信号レベル変換回路302の出力信号波形である。dは、通常のクロック信号波形である。eは、cを遅らせた信号波形で、b-1、b-2の信号（スタートビットの立ち上がった直後の信号）をラッチすることでf-1、f-2（RS-232C、RS-422）の切り換え出力を得る。f-1、f-2の切り換え出力により、入力切換回路2及び出力切換回路21の接続の切り換えセレクタを制御して、入力、出力回路を平衡、又は不平衡回路に切り換える。

【0021】本実施例では、スタートビットの立ち上がった直後の信号レベルを検出して、平衡、又は不平衡伝送による受信装置と異なる方式で送信装置側から送信され、受信信号レベル及び回路方式が異なる場合でも、受信装置側で受信入力回路と送信出力回路を整合するように切り換え制御するので、自動受信することが可能となる。

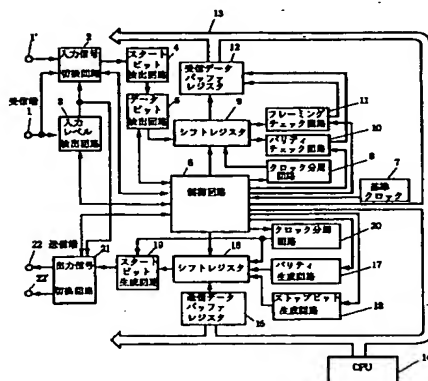
【0022】

【発明の効果】本発明によれば、スタートビットの信号レベルを検出して、送信側の信号レベルに基づき受信回路及び送信回路を送信装置側に整合するように制御することにより、異なる方式間で自動受信することができる。

【図面の簡単な説明】

【図1】本発明の一実施例のシリアル通信装置のブロック図。

【図1】



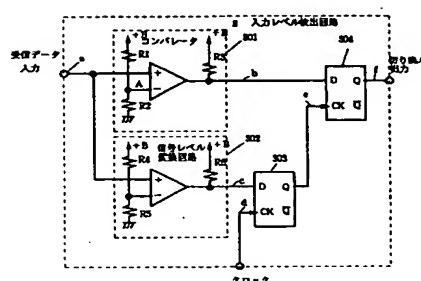
【図2】本発明の一実施例に用いる入力レベル検出回路のブロック図。

【図3】本発明の一実施例に用いる入力レベル検出回路の各部の信号波形を示す図。

【符号の説明】

- | | |
|---------|---------------|
| 1, 1' | 受信端 |
| 2 | 入力信号変換回路 |
| 3 | 入力レベル検出回路 |
| 4 | スタートビット検出回路 |
| 5 | データビット検出回路 |
| 6 | 制御回路 |
| 7 | 基準クロック |
| 8 | クロック分周回路 |
| 9 | シフトレジスタ |
| 10 | パリティチェック回路 |
| 11 | フレーミングチェック回路 |
| 12 | 受信データバッファレジスタ |
| 13 | 内部バス |
| 14 | CPU |
| 15 | 送信データバッファレジスタ |
| 16 | シフトレジスタ |
| 17 | パリティビット生成回路 |
| 18 | ストップビット生成回路 |
| 19 | スタートビット生成回路 |
| 20 | クロック分周回路 |
| 21 | 出力信号切換回路 |
| 22, 22' | 送信端 |

【図2】



【図3】

